

# Razvoj IEEE 1451.2 interfejsa pametnog pretvarača sa mikrokontrolerom opšte namene

Ivan T. Popović, Nikola M. Rajović, *Student Member, IEEE* i Lazar V. Saranovac, *Member, IEEE*

**Sadržaj** — U radu je predstavljen koncept realizacije digitalnog interfejsa pametnog pretvarača prema IEEE 1451.2 standardu, koji treba da omogući razmenu podataka između mrežnog računara i modula pametnog pretvarača, kontrolu rada modula pretvarača i njegovo napajanje. Realizacija interfejsa je bazirana na upotrebi objekata operativnog sistema za rad u realnom vremenu čime je omogućena implementacija i ostalih funkcionalnosti definisanih u okviru familije IEEE 1451 standarda.

**Ključne reči** — Pametni pretvarač, komunikacioni protokol, digitalni interfejs, IEEE 1451.2 standard.

## I. UVOD

ZAHTEVI tržišta u domenu razvoja industrijske opreme, uređaja koji se koriste u svakodnevnom životu i složenih mernih i upravljačkih sistema, nametnuli su potrebu za stalnim unapređenjem karakteristika ovih sistema i proširenjem njihovih funkcionalnosti. Pretvarači (senzori i aktuatori) koji se koriste u implementaciji ovih sistema samim tim moraju da pruže određeni stepen fleksibilnosti u pogledu upotrebe, konfiguracije, održavanja i njihovog povezivanja. Sa druge strane, koncept primene računarskih mreža, razvoja distribuiranih merno-kontrolnih aplikacija, mrežnih servisa, uticao je i na potrebu za implementacijom mrežne komunikacije samih pretvarača [1]. Na ovaj način su upotrebom mikrokontrolera i mikroprocesora, omogućene dodatne funkcionalnosti pretvarača i pojednostavljena njihova komunikacija sa drugim komponentama sistema. Ovaj koncept pod nazivom pametni pretvarači je poznat već dugi niz godina, međutim svoju pravu afirmaciju je dobio publikacijom standarda iz familije IEEE 1451 standarda. Praktično, u veoma dinamičnoj oblasti koja se odnosi na razvoj i integraciju senzora i aktuatora, proizvođači su prosto tragali za novom tehnologijom koja bi omogućila razvoj pametnih pretvarača niske cene koji bi bili u stanju da zadovolje sve složenije zahteve u njihovoj primeni i istovremeno omogućili njihovu jednostavnu upotrebu

[2,3,4]. Odluka o upotrebi određenog pretvarača, odabir mrežne komunikacije i korisničkog softvera je ostavljena proizvođačima na izbor, u zavisnosti od konkretne primene. Međutim, u realnosti mnoštvo mogućnosti u integraciji različitih sistemskih funkcija, je stvorilo probleme, obzirom na nedostatak standardnih interfejsa, kako prema korisničkom softveru, tako i između komponenti sistema [3].

Cilj IEEE 1451 projekta je upravo definisanje standardnih interfejsa za povezivanje pretvarača sa mikroprocesorskim sistema, instrumentima i različitim mrežama na način koji ne zavisi od tehnologije mrežne komunikacije [5]. U okviru projekta, definisan je IEEE 1451.2 podprojekat, takođe u formi standarda koji definiše elektronsku specifikaciju pretvarača (Transducer Electronic Data Sheet - TEDS) i njen format, modele pretvarača kao i 10-linijski digitalni interfejs (Transducer Independent Interface - TII) i komunikacioni protokol za point-to-point komunikaciju između modula pametnog pretvarača (Smart Transducer Interface Module- STIM) i mrežnog procesora (Network Capable Application Processor - NCAP) [6].

Model implementacije IEEE 1451 modula pametnog pretvarača date je u formi slojevitog modela, gde IEEE 1451.2 standard između ostalog definiše komunikaciju između STIM i NCAP modula na fizičkom sloju. Implementacija ostalih funkcionalnosti pametnog pretvarača, definisanih u IEEE 1451.0 standardu, koje se ne odnose direktno na komunikaciju sa mrežnim procesorom, zahteva upotrebu operativnog sistema, obzirom da je data u formi međusobno sinhronizovanih programskih niti čije je izvršavanje/blokiranje sinhronizovano sa događajima u sistemu [7]. Zbog toga je implementacija IEEE 1451.2 komunikacionog interfejsa na mikrokontroleru opšte namene, koja je prikazana u radu, bazirana na upotrebi objekata embOS operativnog sistema za rad u realnom vremenu [8]. Na ovaj način je omogućena efikasna implementacija ostalih funkcionalnosti pretvarača i njihovih servisa definisanim u okviru IEEE 1451 familije standarda. Takođe, koncept realizacije, prikazan u radu obezbeđuje smanjenje potrošnje sistema i karakteristike sistema koje omogućavaju rad sistema u realnom vremenu.

## II. ARHITEKTURA MODULA PAMETNOG PRETVARAČA

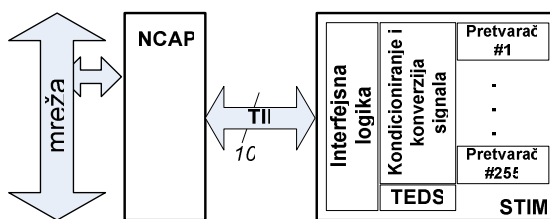
Prema arhitekturi IEEE 1451.2 pametnog pretvarača, koja je prikazana na slici 1, modul pametnog pretvarača preko TII, koji je baziran na proširenom SPI (Serial Peripheral Interface) interfejsu, komunicira sa mrežnim

Ivan T. Popović, Elektrotehnički fakultet u Beogradu, Bulevar kralja Aleksandra 73, 11120 Beograd, Srbija (telefon: 381-11-3218-365, e-mail: [popovici@el.etf.rs](mailto:popovici@el.etf.rs)).

Nikola M. Rajović (autor za kontakte), Inovacioni centar Elektrotehničkog fakulteta u Beogradu, Bulevar kralja Aleksandra 73, 11120 Beograd, Srbija (telefon: 381-11-3370-123, e-mail: [nrajovic@etf.rs](mailto:nrajovic@etf.rs)).

Lazar V. Saranovac, Elektrotehnički fakultet u Beogradu, Bulevar kralja Aleksandra 73, 11120 Beograd, Srbija (telefon: 381-11-3370-167, e-mail: [laza@el.etf.rs](mailto:laza@el.etf.rs)).

procesorom koji obezbeđuje pristup pretvarača mreži. U zavisnosti od definisanog opsega logičkih adresa, koji zavisi od podspecifikacije IEEE 1451 standarda za određeni tip fizičkog interfejsa, jedan STIM može imati od 1 – 65536 kanala. Za IEEE 1451.2 specifikacija ovaj broj se kreće u granicama 1 - 255. Svaki kanal može sadržati A/D konvertore, D/A konvertor, digitalni I/O za povezivanje senzora i aktuatora. U okviru modula pretvarača obavljaju se osnovne funkcije za prenos podataka, adresiranje, konverziju, kondicioniranje signala kao i funkcije za manipulaciju elektronskom specifikacijom pretvarača. Obzirom na kompleksnost implementacije TII interfejsa i postojanje internih modula mikrokontrolera koji omogućavaju jednostavnu implementaciju standardnih serijskih protokola tipa UART ili USB protokola, kod nekih realizacija STIM modula TII interfejs je realizovan preko preko sekvence poruka koje se razmenjuju preko standardnih serijskih interfejsa. [9,10, 11].



Sl. 1. Uprošćena arhitektura modula pametnog pretvarača prema IEEE 1451.2 standardu

TII podržava bit-serijski, polu duplex prenos, koji se obavlja preko 10 signalnih linija podeljenih u 4 grupe. U grupi linija za prenos podataka nalaze se DOUT, DIN, DCLK linija za sinhroni bit-serijski prenos i NIOE linija za signalizaciju prenosa frejma. Linija NTRIG se koristi za signalizaciju trigerovanja, dok se NACK, NSDET, POWER i COMMON koriste za kontrolu protoka i upravljanje napajanjem STIM modula. Za generisanje servisnog zahteva STIM koristi prekidnu NINT liniju. Dakle, osim proste razmene podataka između NCAP i STIM modula, TII omogućava i dodatne funkcionalnosti kao što su trigerovanje, detekcija priključenja, podrška za generisanje servisnog zahteva i kontrola napajanja. [6]

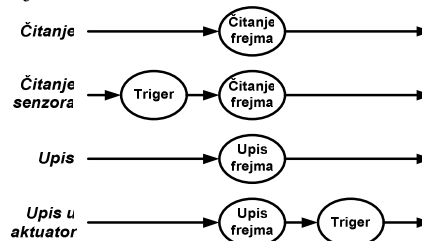
IEEE 1451.2 standard definiše 6 tipova kanala pretvarača u zavisnosti od tipa pretvarača koji je povezan na isti. Kanal ne mora postojati u fizičkom smislu, već može biti emuliran (opisan u TEDS) pa se na taj način u pretvarač mogu implementirati dodatne funkcionalnosti. Tipovi kanala pretvarača su senzor, aktuator, baferisani senzor, senzor sa kontinualnim odabiranjem, baferisani senzor sa kontinualnim odabiranjem, senzor događaja i opšti pretvarač [6,12].

Kao jedan od osnovnih elemenata STIM modula javlja se TEDS struktura implementirana uobičajeno u eksternoj flash memorijskoj komponenti. Ova struktura predstavlja skup podataka u standardizovanom formatu koji obezbeđuje autoidentifikaciju i opis karakteristika pretvarača omogućavajući time automatsku konfiguraciju sistema. TEDS struktura je polazna osnova za *plug-and-play*

koncept. Mogućnost automatske identifikacije, konfiguracije i kalibracije pretvarača omogućava jednostavniju integraciju pretvarača i obezbeđuje određeni nivo apstrakcije pretvarača nezavisno od njegovog tipa, namene i proizvođača. Pored elektronske specifikacije pretvarača date u formi TEDS strukture, meke od osnovnih funkcionalnosti koje se odnose na ceo modul pametnog pretvarača su adresiranje funkcije pretvarača, adresiranje kanala, prenos podataka, trigerovanje, implementacija statusa i kontrolnih funkcija, prekidi i podrška za maskiranje prekida, itd. Takođe za svaki kanal modula pretvarača potrebno je implementirati kanalni TEDS, statusne registre, kontrolne funkcije, kao i opcione funkcije za automatsku dijagnostiku, kalibraciju, identifikaciju i odgovarajuće opcione TEDS strukture. U ovom radu je fokus stavljen na implementaciju funkcije prenosa podataka i njenu vezu sa ostalim funkcijama pretvarača.

### III. SPECIFIKACIJA TII INTERFEJSA

U okviru IEEE 1451.2 standarda je definisana električna specifikacija interfejsa, tajming i komunikacioni protokoli koji obezbeđuje robustan i pouzdan prenos podataka za različite implementacije NCAP i STIM modula. Prenos podataka je organizovan u okviru frejmova sa celobrojnim brojem bajtova, pri čemu se bajt najveće težine šalje prvi. Sekvenca signala na linijama TII interfejsa određena je jednim od protokola najvišeg nivoa kao što su čitanje frejma, upis frejma i triger. Na slici 2 je prikazana sekvenca protokola najviše nivoa prilikom čitanja podataka, čitanja vrednosti senzora, upisa podataka i upravljanja aktuatorom.



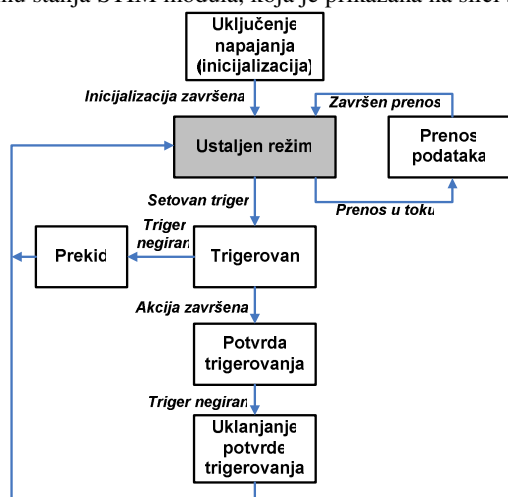
Sl. 2. Opšti protokol za prenos podataka između STIM i NCAP modula prema IEEE 1451.2 standardu

Veličina frejma u jednom ciklusu prenosa podataka je data IEEE 1451.2 standardom za slučaj prenosa statusa, prekidne maske, kontrolnih podataka i adrese kanala, kao i Channel-TEDS strukture. Kod ostalih tipova prenosa u okviru frejma se šalje celobrojna vrednost veličine frejma u formi 4 bajtne informacije.

Brzina signaliziranja je određena od strane NCAP modula. Standardom je predviđeno da sve implementacije STIM modula moraju da podrže minimalnu brzinu prenosa podataka od 6000 bit/s. Brzina komunikacije se može povećavati na osnovu informacija sadržanih u TEDS strukturi.

Funkcija prenosa podataka i funkcija trigerovanja se obavljaju u sekvenci, tako da prenos podataka mora biti deaktiviran pre započinjanja sekvence trigerovanja. Funkcija trigerovanja je implementirana preko sekvence na signalnim linijama koja je data IEEE 1451.2 standardom i

može se odnositi na određeni kanal ili na sve kanale STIM modula istovremeno. Ova funkcija omogućava NCAP modulu da pošalje STIM modulu komandu za izvršenje neke akcije (triger signal), i omogućava STIM modulu da signalizira kada je ta akcija izvršena (potvrda prijema triger signala). Zavisno od tipa kanala pretvarača razlikuje se i odgovor STIM modula na triger signal. Kako bi se obezbedila odgovarajuća interakcija između operacije trigerovanja i prenosa podataka potrebno je implementirati mašinu stanja STIM modula, koja je prikazana na slici 3.



Sl. 3. Opšti model odziva STIM modula na triger signal

U ustaljenom režimu, STIM modul očekuje izvršavanje funkcije upisa i čitanja podataka (prenosa podataka) ili triger signal. Stanja, potvrda trigerovanja i uklonjena potvrda trigerovanja, omogućavaju sinhronizaciju aktivnosti NCAP i STIM modula preko postavljanja odgovarajućih nivoa NTRIG i NACK linija TII interfejsa. U slučaju kada su greškom NTRIG i NIOE linija postavljene istovremeno na aktivan nivo, NCAP modul inicira postupak ponovne inicijalizacije mehanizma za prenos podataka i trigerovanja, negacijom NTRIG i NIOE linija, nakon čega STIM signalizira potvrdu inicijalizacije negacijom NACK linije.

Bit-serijski prenos od NCAP ka STIM modulu se vrši preko DIN linije, a u obrnutom smeru preko DOUT linije. Iako je prenos moguće vršiti istovremeno preko obe linije, IEEE 1451.2 standard ovo ne preporučuje. Prenos je kontrolisan od strane DCLK linije. DCLK signal ne mora da bude simetričan i ne mora da ima konstantan *duty cycle* ali je preporučljivo da ima konstantu učestanost u okviru jednog ciklusa na serijskoj magistrali. Operacije upisa i čitanja frejma podrazumevaju neaktivan logički nivo na NTRIG, NACK i NIOE linijama. Povezivanje STIM modula u sistem pod napajanjem je podržano preko NSDET linije fizičkog interfejsa. U odsustvu STIM modula, NSDET linija je na visokom logičkom nivou. Kada se poveže, STIM obara ovu liniju, nakon čega se vrši inicijalizacija STIM modula.

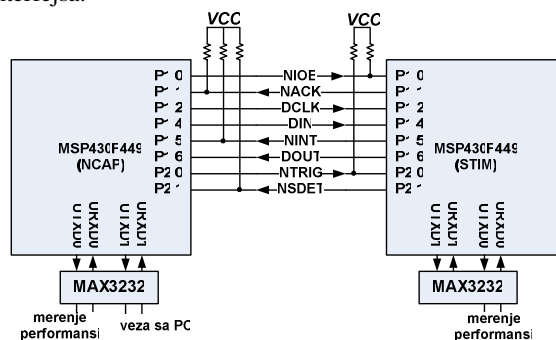
Opis tajminga signala, električne specifikacije interfejsa, vremenskih oblika signala na linijama TII interfejsa, kao i načina procesiranja posebnih stanja koja se mogu javiti pri

prenosu podataka, opisan je detaljno u okviru IEEE 1451.2 specifikacije. [6]

#### IV. KONCEPT IMPLEMENTACIJE TII INTERFEJSA

Kao platforma za razvoj i testiranje implementacije komunikacionog modula, izabran je mikrokontroler opšte namene MSP430F449 firme Texas Instruments, jer je namenjen razvoju sistema sa izuzetno niskom potrošnjom, za namene merenja i upravljanja i poseduje veliki broj I/O pinova, 12-bitni A/D konvertor, komparator i integrisane serijske komunikacione interfejsne [13].

NCAP modul je, kao što je prikazano na slici 4, realizovan u formi hibridnog modula koji se sastoji od personalnog računara i interfejsne ploče sa MSP430F449 mikrokontrolerom. Interfejsna ploča implementira TII protokol na strani NCAP modula. Personalni računar komunicira sa interfejsnom pločom preko serijskog RS232 interfejsa.



Sl. 4. Uprošćena šema razvojnog sistema za ispitivanje karakteristika TII interfejsa pametnog pretvarača

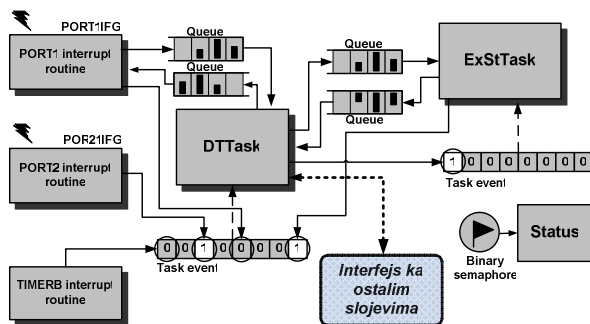
Za implementaciju protokola najvišeg nivoa potrebno je obezbediti reakciju sistema na događaj definisan preko uzlazne ili silazne ivice signala. Zbog toga su signalne linije povezane na pinove portova PORT1 i PORT2 mikrokontrolera koji omogućavaju konfigurisanje ivičnog okidanja generisanja prekida. Za merenje performansi, u formi faktora iskorišćenja procesorskog vremena na strani STIM modula, koristi se UART0, koji je dostupan preko RS232 primopredajnika. U tu svrhu se koristi posebna aplikacija obezbeđena od strane proizvođača operativnog sistema za mikrokontroler.

Koncept implementacije TII interfejsa, na sistemu sa mikrokontrolerom opšte namene, prikazan na slici 5, baziran je na mehanizmu sinhronizacije aktivnosti task objekata operativnog sistema preko registra događaja, implementiranih u okviru samih task objekata.

PORT1 rutina obalja transport preko fizičkog interfejsa i realizovana je u formi switch-case strukture sa stanjima koja zavise od pozicije bita, statusa, i nivoa na signalnim linijama interfejsa. Nakon prijema bajta podataka, rutina vrši prosleđivanje podatka u red sa porukama, postavljajući odgovarajući binarni indikator u registru događaja DTTTask rutine. DTTTask rutina po prijemu podatka na osnovu stanja komunikacije preduzima dalje akcije. U slučaju završenog prenosa frejma, bez grešaka u prenosu, frejm se prosleđuje ostalim slojevima softvera. U

slučaju greške, informacija o grešci se prosleđuje ExStTask, koji je zadužen za održavanje statusa i za obradu specijalnih stanja u komunikaciji, definisanih IEEE 1451.2 standardom. Ostali slojevi softvera su zaduženi za funkcionalno i logičko adresiranje i implementaciju ostalih IEEE 1451 servisa. U slučaju slanja podatka ka NCAP modulu, preko reda sa porukama se podaci stavljaju na raspolaganje PORT1 rutini, koja sinhrono sa silaznom ivicom DCLK postavlja odgovarajući nivo DOUT linije.

PORT2 rutina prihvata zahtev za trigerom i u zavisnosti od stanja komunikacije selektuje triger funkciju. Statusne informacije i obrada izuzetaka se obavljaju preko ExStTask rutine. U slučaju detektovanja posebnih stanja linija interfejsa obaveštava se DTTask koji obradu izuzetka i postavljanje statusa poverava ExStTask-u. Statusne informacije su realizovane kao deljeni resurs obzirom da im pristupaju i drugi slojevi softvera. Pristup statusima se obavlja preko binarnog semafora. Razmena podataka između DTTask i ExStTask se odvija preko dva reda sa porukama, dok je sinhronizacija izvedena preko binarnih indikatora događaja task rutina. TIMERB rutina se koristi za merenje timeout intervala karakterističnih za operaciju kontrole protoka.



Sl. 5. Koncept implementacije funkcije prenosa podataka preko TII interfejsa na strani STIM modula

Na osnovu merenja performansi implementiranog TII interfejsa, dobijena je maksimalna vrednost brzine prenosa od 36kbps sa odnosom impulsa/periode taktnih impulsa na DCLK liniji od 50%. Ova brzina se postiže pri radnom taktu mikrokontrolera od 8 MHz i dominantno je određena performansama operativnog sistema. Takođe, zadovoljeni su zahtevi za tajmingom signala STIM modula, kao što su vremena postavljanja i držanja signala na DIN liniju u odnosu na aktivnu ivicu DCLK signala kao i vremena uspona i pada signala na DOUT, NACK i NINT linijama.

## V. ZAKLJUČAK

Koncept implementacije TII interfejsa prikazan u radu obezbeđuje modularan pristup u implementaciji IEEE 1451.2 funkcija i ujedno omogućava jednostavnu integraciju dodatnih funkcija pametnog pretvarača. Takođe, upotreba operativnog sistema za rad u realnom vremenu omogućava vremensko predvidivo izvršavanje programskog koda mikrokontrolera, što je od posebne važnosti kod sistema čije su aktivnosti sinhronizovane sa

pojavom događaja u sistemu.

## LITERATURA

- [1] K. Lee, "IEEE 1451: A Standard in Support of Smart Transducer Networking" Presented at the IEEE Instrumentation and Measurement Technology Conf, Baltimore, USA, May 1-4, 2000
- [2] L. Cámara, O. Ruiz, A. Herms, J. Samitier, J. Bosc, "Automatic Generation of Intelligent Instruments for IEEE 1451", *International Measurement Confederation: Measurements J.*, Vol. 35, Issue 1, Jan. 2004, p. 3-9
- [3] S. Y. Yurish, "IEEE 1451 Standard and Frequency Output Sensors: How to Obtain a Broad-Based Industry Adoption?", *Sensors & Transducers Magazine*, Vol.59, Issue 9, September 2005, pp.412-418
- [4] P. Hu, R. Robinson, J. Indulska, "Sensor Standards: Overview and Experiences", Presented on the 3rd International Conference on Intelligent Sensors, Sensor Networks and Information, Melbourne, Australia, 3-6 December 2007.
- [5] J. Bryzek, "Introduction to IEEE-P1451, the Emerging Hardware-Independent Communication Standard For Smart Transducers", *Sensors and Actuators*, Vol. 62, Issues 1-3, July 1997, p. 711-723
- [6] *IEEE Standard for a Smart Transducer Interface for Sensors and Actuators - Transducer to Microprocessor Communication Protocols and Transducer Electronic Data Sheet (TEDS) Formats* IEEE Std. 1451.2-1997.
- [7] *IEEE Standard for a Smart Transducer Interface for Sensors and Actuators - Common Functions, Communication Protocols, and Transducer Electronic Data Sheet (TEDS) Formats*, IEEE Std. 1451.0-2007.
- [8] User and reference guide, embOS Real-Time Operating System, Segger Microcontroller GmbH and co. KG, Sep. 2009, Available: [www.segger.com](http://www.segger.com).
- [9] E. Y. Song, K. B. Lee, "Sensor Network based on IEEE 1451.0 and IEEE p1451.2-RS232", Proc. IEEE International Instrumentation and Measurement Technology Conference Victoria, Canada, May 2008, p. 1728 - 1733.
- [10] L. Bissia, P. Placidia, A. Scorzonja, I. Elmib, S. Zampolli, "Environmental Monitoring System Compliant With the IEEE 1451 Standard and Featuring a Simplified Transducer Interface", *Sensors and Actuators A: Physical*, Vol. 137, Issue 1, June 2007, p. 175-184
- [11] L. Bissi, A. Scorzoni, P. Placidi, L. Marrocchi, M. Bennati, S. Zampolli, L. Masini, I. Elmi, G.C. Cardinali, "A Low-cost Distributed Measurement System based on Gas Smart Sensors for Environmental Monitoring", Proc. Conf. on Sensing Technology, Palmerston North, New Zealand, Nov. 2005, p. 301-306.
- [12] R. W. Wall, .A. Ekpruke, "Developing an IEEE 1451.2 Compliant Sensor for Real-time Distributed Measurement and Control in an Autonomous Log Skidder", Proc. 29th Annual Conference of the IEEE Industrial Electronics Society, Roanoke, Virginia, USA, November 2003, vol. 3, p. 2482 - 2487
- [13] MSP 430x4xx Family User's Guide, Texas Instruments, 2007, Available: [www.ti.com](http://www.ti.com).

## ABSTRACT

This paper presents concept of smart transducer digital interface design, defined with IEEE 1451.2 standard, which provides support for data exchange between network computer and smart transducer, control of transducer and its power supply. Design concept rely on real time operating system with corresponding objects and thus supporting design of other functions defined within IEEE 1451 family of standards.

## DESIGN OF IEEE 1451.2 TRANSDUCER INDEPENDENT INTERFACE WITH GENERAL PURPOSE MICROCONTROLLER

Ivan T. Popovic, Nikola M. Rajovic and Lazar V. Saranovac