

Jedno rešenje generisanja video izlaza visoke rezolucije u realnom vremenu

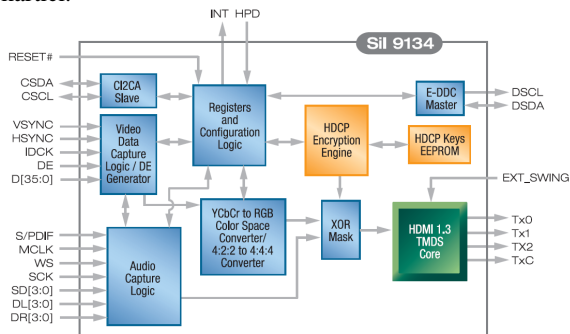
Zdravko Panjkov, Mihajlo Katona, *Member, IEEE*, Vladimir Marinković, Emil Neborovski;
Fakultet tehničkih nauka, Novi Sad,

Sadržaj — Zadatak se odnosi na proširenje skupa funkcija uređaja BBT2 (Black box testing). BBT2 je potpuno prilagodljivo okruženje za automatizovano ispitivanje složenih digitalnih uređaja. Ideja rada je da se na BBT2 platformi uvede generisanje video izlaza visoke rezolucije u realnom vremenu preko HDMI (High Definition Multimedia Interface) sprežnog sistema.

Cljučne reči — Video izlaz, HDMI, FPGA.

I. UVOD

STATISTIKE pokazuju da se tokom razvoja proizvoda više od 40% vremena posvećuje verifikaciji i ispitivanju proizvoda. Zbog jake konkurencije i kratkog vremena na tržištu postoji težnja da se verifikacija i ispitivanje proizvoda automatizuje. Projektni zadatak zahteva razvoj HDMI generatora na BBT2 platformi sa prenosom ulazne slike ka predajniku u realnom vremenu. Za realizaciju zadatka BBT2 sistem je opremljen sa HDMI predajnikom (SiI9134 - slika 1) koji se nalazi na posebnoj kartici.



Sl. 1. SiI9134, blok šema.

SiI9134 je poboljšani HDMI 1.3 predajnik projektovan

Ovaj rad je delom finansiran od Ministarstva za nauku i tehnoloski razvoj Republike Srbije, projekat 11005 od 2008. godine.

Zdravko Panjkov, Fakultet tehničkih nauka u Novom Sadu, Trg Dositeja Obradovića 6, 21000 Novi Sad, Srbija (381-64-4058029, e-mail: panjkovzdravko@yahoo.com).

Mihajlo Katona, Fakultet tehničkih nauka u Novom Sadu, Dositeja Obradovića 6, 21000 Novi Sad, Srbija (381 21 4801 178, e-mail mihajlo.katona@rt-rk.com).

Vladimir Marinković, Fakultet tehničkih nauka u Novom Sadu, Dositeja Obradovića 6, 21000 Novi Sad, Srbija (381 21 4801 219, e-mail vladimir.marinkovic@rt-rk.com).

Emil Neborovski, Fakultet tehničkih nauka u Novom Sadu, Dositeja Obradovića 6, 21000 Novi Sad, Srbija (381 21 4801 182, e-mail emil.neborovski@rt-rk.com).

za sledeću generaciju Blu-ray i HD-DVD uređaja. SiI9134 podržava generisanje video signala do 1080p rezolucije, na 60Hz i 36-bitnu dubinu boja.

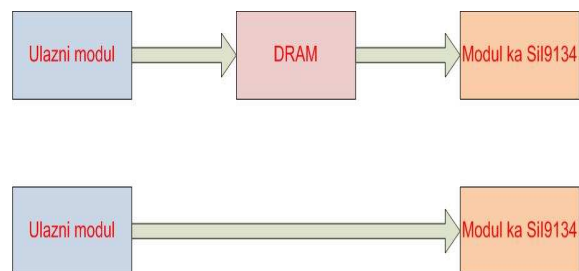
Pored toga što podržava poboljšane mogućnosti video HDMI 1.3, SiI9134 podržava DVD audio sa 7.1 okruženjem na 192kHz, SACD audio-standarde, i stereo audio na 192kHz.

II. OPIS PROJEKTOG ZADATKA

Preko video sprežne pločice prihvata se ulazni video tok podataka. Unutar Xilinx Virtex4 FPGA prihvataju se video podaci i generišu se signali za integrisano kolo (SiI9134). Pored prosleđivanja ulaznog video toka na HDMI izlaz, treba omogućiti i generisanje video signala iz RTL video generatora kojeg treba integrisati u FPGA arhitekturu. Takođe, komunikacija svih periferija odvija se posredstvom FPGA.

A. Razmatranje projektnih zahteva

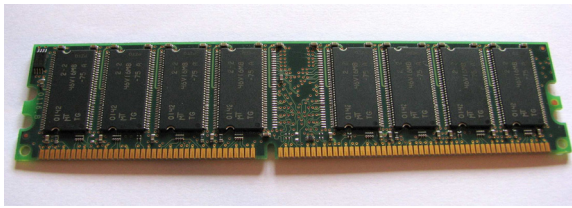
Postoje dve varijante rešenja datog problema. Jedno rešenje je uz pomoć memorije sa jednim okvirom kašnjenja a drugo je direktna putanja ulaz->izlaz bez upotrebe memorije. Ove dve arhitekture prikazane su na slici 2.



Sl. 2. Dve varijante rešenja projektnog problema

U rešenju uz pomoć memorije, ulazni signali se upisuju u memoriju i sa jednim okvirom kašnjenja generišu se signali za integrisano kolo (SiI9134). U skupu BBT2 platforme nalazi se DDR2 memorija. Memorijski kontroler realizovan je u Virtex4. DDR2 memorija je sinhrona dinamička memorija sa slučajnim pristupom. DDR2 memorija zamenjuje originalnu DDR specifikaciju i one međusobno nisu kompatibilne. Memorijski kontroler sadrži logiku neophodnu za čitanje i pisanje u DRAM memoriju. Prednost ovog rešenja je mogućnost prilagodjenja bilo kom ulaznom okviru. Mana mu je složenost i velika količina resursa. Fizički izgled DDR2 memorije je

prikazan na slici 3.



Sl. 2. DDR2, fizički izgled

U rešenju bez memorije, ulazni signali se direktno vode na izlazni sistem gde se generišu izlazni signali za integrisano kolo (SiI9134). Prednost ovog rešenja je jednostavnost, mala količina resursa, nema kašnjenja. Nedostatak mu je nemogućnost prilagođenja svim ulaznim okvirima.

Oba rešenja imaju određene prednosti i mane ali se iz priloženog vidi da je realizacija uz pomoć memorije puno bolja i konkretnija.

Međutim, zadatak nije zahtevao da sistem bude univerzalan i dodatni resursi za realizaciju sa memorijom su bili neopravdani. Odlučeno je da će se realizovati arhitektura bez memorije.

III. IMPLEMENTACIJA

A. Usvojena arhitektura

Arhitektura projekta se sastoji od tri osnovna modula: HDMI_IN modula, affifo_shet1 modula i HDMI_OUT modula. Treba naglasiti da je HDMI_IN modul ranije projektovan.

HDMI_IN modul daje na svom izlazu video podatke u RGB formatu. U ovom modulu se proverava prisutnost signala takta kao i ispravnost dolaznog toka podataka. U njemu se takođe računa i dimenzija slike koja se prihvata. S obzirom da ulaz radi na različitom signalu takta, domeni takta su razdvojeni FIFO strukturama. Nakon ulaznog modula sve radi u jednom domenu takta.

Affifo_shet1 modul je FIFO stuktura. Uloga affifo_shet1 modula je da prilagodi takt za integrisano kolo (SiI9134).

HDMI_OUT je modul čiji se izlazi direktno vode na integrisano kolo (SiI9134). U HDMI_OUT modulu generišu se signali za integrisano kolo (SiI9134). U nastavku teksta će se detaljnije prikazati struktura HDMI_OUT modula.

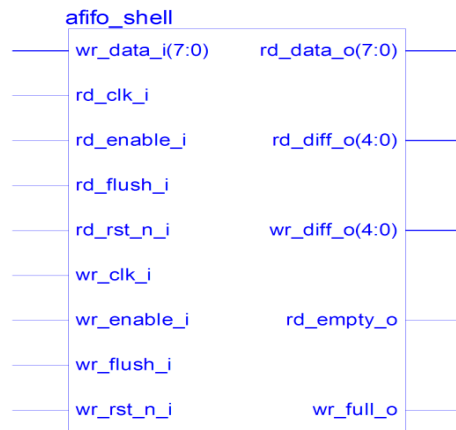
B. Modul brojača piksela

Modul brojača piksela služi za brojanje aktivnih piksela u liniji, aktivnih linija po polju i aktivnih piksela po polju. Brojevi piksela i linija služe za ponovo generisanje slike na izlazu.

C. Modul sa opisom FIFO memorije

Modul FIFO memorije je integrisan unutar arhitekture modula HDMI OUT. Razlog spajanja je uloga FIFO memorije, pošto odvaja dva domena takta prirodno je da bude u sastavu HDMI OUT modula, gde je na ulazu video

tok podataka koji dolazi iz jednog domena takta a unutar HDMI_OUT modula se uz pomoć ove memorije enkapsulira prelazak u domen takta koji je potreban na izlazu za generisanje video signala visoke rezolucije. Ovo je asinhrona FIFO memorija i koristi različite signale takta za čitanje kao što prikazuje slika 4.



Sl. 4. Blok dijagram FIFO registra

D. Modul write fsm

Write fsm modul je automat zadužen za proveru validnog signala na ulazu, ako je signal validan dozvoliće upis u FIFO registar.

Automat sa konačnim brojem stanja (FSM) je matematička apstrakcija koja se koristi za projektovanje digitalne logike ili računarskih programa. To je ponašanje modela koji se sastoji od konačnog broja stanja, gde se prelazi između tih stanja mogu prikazati odgovarajućim grafom prelaza stanja.

E. Modul Si control

Si control je modul koji služi za generisanje signala standardnog video sprežnog sistema koji se sastoji od signala horizontalne i vertikalne sinhronizacije, signala validnosti podataka, linije i video slike, indikacije parne i neparne poluslike za isprepleteni video format i signala za označavanje aktivne komponente boje u slučaju da se koristi tok podataka sa redukovanom komponentom boje prema ITU 601/656 standardima.

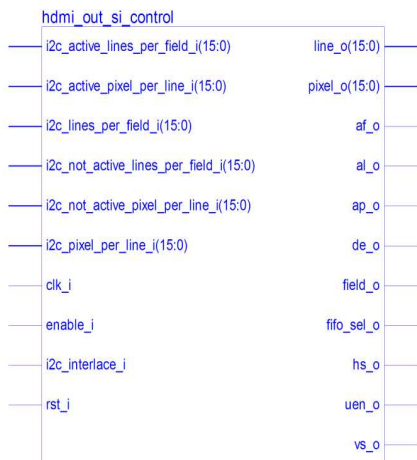
Indikacija aktivnih podataka u video toku se obezbeđuje logičkom I operacijom nad sva tri signala validnosti podataka, linije i video slike.

Horizontalna sinhronizacija označava početak jedne linije. Vertikalna sinhronizacija predstavlja početak jedne slike. Signali sinhronizacije se generišu na osnovu sledećih parametara:

- broj aktivnih tačaka (piksela) po liniji (active pixel per line - **appl**) – ovim parametrom je određena širina visokog nivo DATA_ENABLE signala
- broj aktivnih linija po slici (field) (active line per filed – **alpf**)
- broj neaktivnih tačaka po liniji (not active pixel per line- **nappl** – horizontal blanking)

- broj neaktivnih linija po slici (not active line per field **nalpf** – vertical blanking)

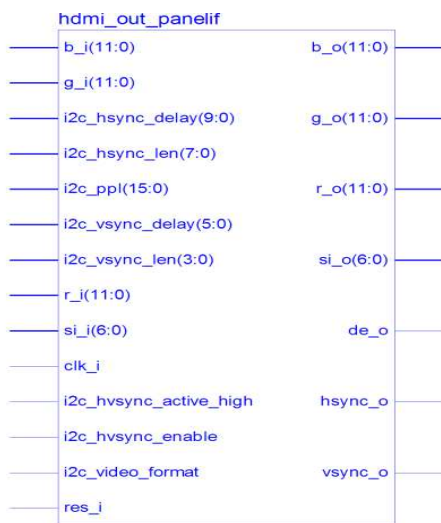
Modul *si control* je prikazan na slici 5.



Sl. 5. Blok dijagram si control

F. Modul panelif

Uloga *panelif* modula je priprema video formata. Uz pomoć ulaznih signala, vremena horizontalne i vertikalne sinhronizacije, generiše se izlazni okvir koji odgovara vremenu ulaznih signala. Slika 6 prikazuje realizovani modul panelifa.



Sl. 6. Blok dijagram panelif

G. Modul test pattern generatora

Ovaj modul generiše vrednosti tri osnovne boja (R, G, B) i signale standardnog video spreznog sistema (Si), koji obrazuju boju jedne tačke, na sledeći način: Cela slika, u zavisnosti od izbora video uzorka (PATTERN), se deli na određeni broj zona. Širina i visina svake zone zavisi od dimenzije slike (MAX_LINE, MAX_PIXEL). Na osnovu trenutne pozicije (LINE i PIXEL) tačke koja se iscertava, proverava se u kojoj zoni se nalazi tačka i generiše se odgovarajući podatak. Za svaku od boja se generiše 10-

bitna vrednost (0-1023). Test patern generator generiše sve potrebne signale za izlaz i služi za verifikaciju fizičke arhitekture.

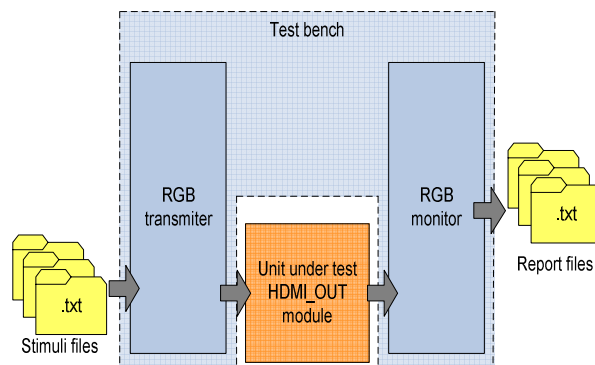
IV. ISPITIVANJE I VERIFIKACIJA

A. Ispitivanje modula HDMI_OUT

Cilj ispitivanja modula HDMI_OUT je da se verifikuje da za dati ulazni vektor signala, generiše odgovarajući vektor izlaznih signala, u skladu sa definisanim pravilima. Konfiguracija za ispitivanje projektovanog HDMI_OUT modula prikazana je na slici 7.

U ispitju je uveden RTL model. Jedan modul se koristi za pobudu ulaza RTL modula, on generiše sliku koji se vodi na ulaze RTL modula.

Drugi modul se koristi za upisivanje izlaznih signala u datoteku sa izveštajem rezultata simulacije. Pored toga što upisuje u datoteku, ovaj modul generiše slike u datoteku sa sadržajem slike koja je poslata na video izlaz. Upoređivanjem poslana slike i slike u datoteci sa izlaza dobija se rezultat ispitivanja. Očekivano je da obe slike bude iste na nivou bita.



Sl. 7. Okruženje za ispitivanje modula HDMI_OUT

Rgb_transmitter je modul koji emulira ponašanje RGB generatora i služi za generisanje vrednosti tri osnovne boje (R, G, B) koje obrazuju boju jedne tačke i signale standardnog video spreznog sistema (Si). Cela slika se generiše na osnovu trenutne pozicije (LINE i PIXEL) tačke koja se iscertava i ulazne slike. Za svaku od boja se generiše 10-bitna vrednost (0-1023).

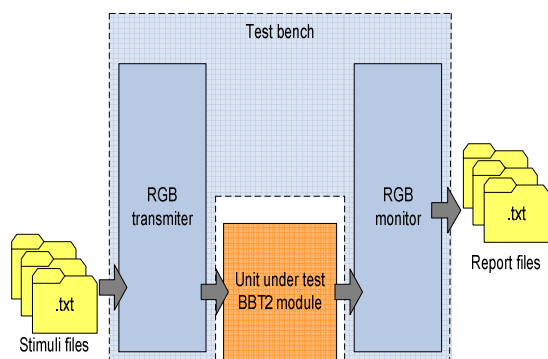
Rgb_monitor je modul čiji su ulazi RGB podaci. Uloga mu je da skuplja signale sa HDMI_OUT modula i da generiše izlaznu sliku. Bitna napomena je da su moduli rgb_transmitter i rgb_monitor samo modeli ponašanja što znači da se ne mogu realizovati u FPGA. Služe isključivo za funkcionalnu verifikaciju na računaru.

B. Ispitivanje celog sistema

Potrebno je ispitati da li modul HDMI_OUT u sklopu sa modulom BBT2 dobro funkcioniše. Konfiguracija za verifikaciju modula HDMI_OUT prikazana je na slici 8.

U toku funkcionalnog ispitivanja upotrebljeni su moduli za generisanje ulazne slike rgb_transmitter i modul rgb_monitor za upis slike u datoteku. Ovi moduli su detaljno objašnjeni u prethodnom poglavlju.

Funkcionalna verifikacija sistema je realizovana programom ModelSim XE 6.6 proizvođača Mentor Graphics.



Sl. 8. Okruženje za ispitivanje BBT2 modula

V. ISPITIVANJE FIZIČKE ARHITEKTURE

Za potrebe ispitivanja rada sistema u realnom vremenu iskorišćena je funkcionalnost razvijena na BBT2 platformi. Spuštanjem koda na BBT2 platformu, sistem je spreman za primanje ulaznih signala.

A. Ispitivanje test pateren generatorom

Prvo je iskorišćen test patern generator koji generiše sve potrebne signale za integrisano kolo (SiI9134). Test patern generatorom se utvrđuje da li je kartica dobro inicijalizovana i da li su izlazi FPGA dobro spojeni sa integrisanim kolom (SiI9134).

B. Ispitivanje celog sistema

Preko video sprežne pločice prihvata se ulazni video tok podataka iz programabilnog generatora video signala. Na monitoru se posmatra izlazna slika i u slučaju greške, nastavlja se sa procesom otkrivanja greške u simulatoru.

Ovaj algoritam se ponavlja dok se ne otklone sve primećene greške. Omogućen je prikaz slike pomoću HDMI sprege (slika 9).

Glavna prednost hardverske verifikacije je brzina. Slika se u realnom vremenu prikazuje na monitoru.

U slučaju funkcionalne verifikacije uz pomoć alata za simulaciju fizičke arhitekture potrebno je određeno vreme da bi se slika generisala u datoteci. Pored toga jedna slika najčešće nije dovoljna da bi se utvrdila ispravnost modula, zbog mogućnosti da se greška naknadno pojavi. Generisanjem većeg broja slika dodatno se produžava funkcionalno ispitivanje.



Sl. 9. Prikaz slike – HDMI sprege

VI. ZAKLJUČAK

Rad opisuje postupak projektovanja i verifikacije sistema za generisanje video signala visoke rezolucije u realnom vremenu. Težište rada bilo je na projektovanju, realizaciji i verifikaciji modula za generisanje. Projekat je ispunio postavljene zahteve u smislu funkcionalnosti. Pokazano je da se pažljivim projektovanjem može realizovati modul koji generiše video signale visoke rezolucije bez korišćenja RAM memorije, ukoliko su ulazni i izlazni video tok podataka ekvivalentni što se tiče frekvencije signala takta.

LITERATURA

- [1] Silicon Image, „SIL9134 HDMI Deep Color Transmitter,” Data Sheet.
- [2] Silicon Image, „SIL9134 HDMI Transmitter Programmer's Reference,” Data Sheet.
- [3] Vladimir Kovačević, „Logičko projektovanje računarskih sistema,” Univerzitet u Novom Sadu, Fakultet Tehničkih Nauka, 2001.
- [4] Peter M. Niyasulu, „Introduction to Verilog,” unpublished.
- [5] RT-RK, „HDL Coding Guidelines,” unpublished.
- [6] Milko Đurđević, „Projektovanje i verifikacija arbitra namenske magistrale,” unpublished.

ABSTRACT

The project is designed as part of BBT2 (Black box testing) system. BBT2 is completely customizable environment for automated testing of complex digital devices. The idea of this project is to implement generation of high definition video output on a BBT2 platform in real time via HDMI guide system.

ONE SOLUTION OF GENERATING HIGH DEFINITION VIDEO OUTPUT IN REAL TIME

Zdravko Panjkov, Mihajlo Katona, Emil Neborovski,
Vladimir Marinkovic